

DENEY 3 Kararlı-Durum Hatası

DENEYİN AMACI

1. Çıkış tepkesinin kararlı-durum hatasını incelemek.
2. Farklı sistem tipleri için, farklı test girişlerine verilen tepkeden kararlı-durum hatasını ölçmek.

GENEL BİLGİLER

Bir kontrol sistemi için, kararlı-durum çıkışı ile istenen hedef arasındaki fark, kararlı-durum hatası olarak adlandırılır ve kararlı-durum hatası, kontrol sisteminin performansını değerlendirmede kullanılan ölçütlerden biridir. Ders kitaplarının çoğu, farklı sistem tiplerindeki kararlı-durum hatasını analiz etmek ve incelemek için matematiksel yöntemler kullanır.

1. Kontrol kitaplarından, sistem zaman tepkesinin iki kısma ayrılabilceğini biliyoruz:

- (1) Geçici tepke
- (2) Kararlı-durum tepkesi

Eğer $c(t)$ bir sistemin zaman tepkesini temsil ediyorsa, sistem tepkesi matematiksel olarak şu şekilde ifade edilebilir

$$c(t) = c_i(t) + c_{ss}(t)$$

Burada $c_i(t)$ geçici tepkeyi, $c_{ss}(t)$ kararlı-durum tepkesini temsil etmektedir.

2. Geçici tepke ve kararlı-durum tepkesinin tanımları:

- (1) Geçici tepke

Geçici tepke, sistem tepkesinin parçasıdır. Belirli bir zaman sonra, geçici tepke kaybolur veya 0'a doğru azalır. Böylece $c_i(t)$ şu şekilde ifade edilebilir:

$$\lim_{t \rightarrow \infty} c_i(t) = 0$$

- (2) Kararlı-durum tepkesi

Geçici tepke kaybolduktan sonra, geri kalan kısım kararlı-durum tepkesi $c_{ss}(t)$ olarak adlandırılır.

3. Kararlı-durum hatası

Çıkış tepkesinin, fiziksel sistemin giriş sinyali ile tamamen aynı olması imkansızdır. Fiziksel bir sistemin çıkış tepkesinde, geçici durum tepkesi $c_i(t)$ 'de vardır. Geçici tepke, sistem dinamik davranışının bir parçasıdır ve sistem karakteristiklerini anlamada önemli rol oynar. Bu deney, kararlı-durum hatası konusuna odaklanacaktır, geçici tepke daha sonra tartışılacaktır.

Geçici tepke kaybolduğunda system, kararlı-durum olarak adlandırılan çalışma durumuna girer. Kararlı-durum tepkesi ve giriş sinyali arasındaki bir karşılaştırma, sistemin doğruluğunu gösterir. Eğer giriş sinyali ve kararlı-durum tepkesi farklı ise, bu ikisi arasındaki fark, sistemin kararlı-durum hatası olarak adlandırılır.

4. Zaman tepkesini analiz etmek için sık kullanılan test sinyalleri

(1) Basamak Giriş:

Basamak sinyalin matematiksel ifadesi şu şekildedir:

$$r(t) = \begin{cases} a & \text{if } t \geq 0 \\ 0 & \text{if } t < 0 \end{cases}$$

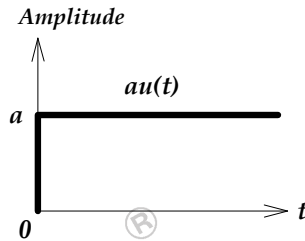
veya

$$r(t) = au(t)$$

Laplace domenine dönüştürürsek:

$$R(s) = \frac{a}{s}$$

Basamak sinyal dalga şekli Şekil 3-1'de gösterilmiştir.



Şekil 3-1 Basamak sinyal

(2) Rampa sinyali:

Rampa sinyalin matematiksel ifadesi şu şekildedir:

$$r(t) = \begin{cases} at & \text{if } t \geq 0 \\ 0 & \text{if } t < 0 \end{cases}$$

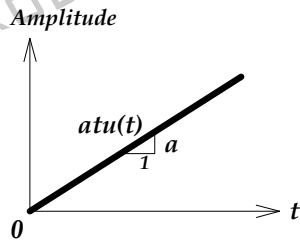
veya

$$r(t) = atu(t)$$

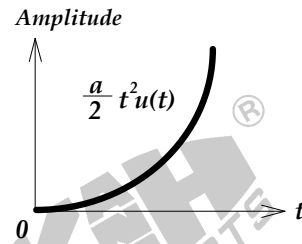
Laplace domenine dönüştürürsek:

$$R(s) = \frac{a}{s^2}$$

Rampa sinyal dalga şekli Şekil 3-2'de gösterilmiştir.



Şekil 3-2 Rampa sinyali



Şekil 3-3 Parabolik sinyal

(3) Parabolik sinyal:

Parabolik sinyalin matematiksel ifadesi şu şekildedir:

$$r(t) = \begin{cases} \frac{a}{2}t^2 & \text{if } t \geq 0 \\ 0 & \text{if } t < 0 \end{cases}$$

veya

$$r(t) = \frac{a}{2}t^2u(t)$$

Laplace domenine dönüştürürsek:

$$R(s) = \frac{a}{s^3}$$

Parabolik sinyal dalga şekli Şekil 3-3'te gösterilmiştir.

Yukarıda bahsedilen üç sinyal, Laplace dönüşümü kullanılarak kolay bir şekilde analiz edilebilirler. Laplace dönüşümü, sistem performansını değerlendirmede yararlı bir araçtır.

5. Gerçek fiziksel sistemlerin çoğu, gerçek fiziksel sistemlerde doğal olarak var olan sürtünme ve diğer faktörlerden dolayı, kararlı-durum hatasına sahiptir. Bir kontrol sistemi dizayn ederken, hatalar kabul edilebilir sınırlar içerisinde, azaltılmalı veya minimize edilmelidir.

6. Kararlı-durum hatasının nedenleri:

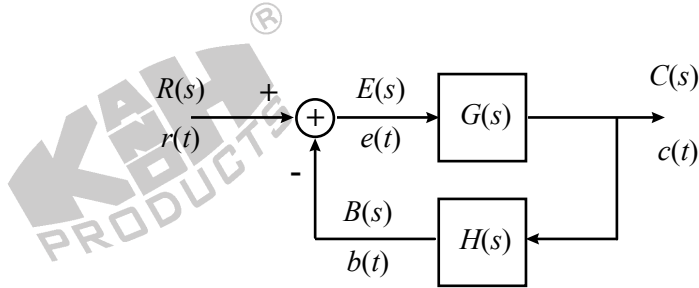
(1) Doğrusal olmayan faktörlerden kaynaklanan kararlı-durum hatası

Çoğu fiziksel sistemin kararlı-durum hatası, sürtünme, doyum, ölü bölge, geri tepme gibi sistemin doğrusal olmayan karakteristiklerinden kaynaklanır. Doğrusal olmayan sistem hatasının detaylı analizi oldukça karmaşıktır ve bu deneyin kapsamı dışındadır.

(2) Doğrusal sistemlerdeki kararlı-durum hatası

Doğrusal bir sistemde, kararlı-durum hatası, sistem tipi ve giriş sinyali arasında yakın bir ilişki vardır. Farklı sistem tipleri ve farklı giriş sinyalleri, farklı kararlı-durum hataları üretecektir. İlk olarak, sistem tipi tanımını ele alalım.

Şekil 3-4'te gösterilen kontrol sisteminin blok diyagramını ele alalım,



Şekil 3-4 Kontrol sisteminin blok diyagramı

$G(s)H(s)$ şu şekilde ifade edilebilir

$$G(s)H(s) = \frac{K(1 + a_1s)(1 + a_2s) \cdots (1 + a_ns)}{s^j(1 + b_1s)(1 + b_2s) \cdots (1 + b_ms)}$$

Sistem tipi, m, n ve K dikkate alınmadan j tarafından belirlenir. Sistem tipi ve j arasındaki ilişki aşağıdaki tabloda listelenmiştir.

j	Sistem Tipi
0	0 (tip 0 sistem)
1	1 (tip 1 sistem)
⋮	⋮
n	n (tip n sistem)

Örneğin, $G(s)H(s) = \frac{K(s+s)}{s(1+s)(2+s)}$ $j=1$ olduğundan dolayı tip 1 sistemdir.

Sistem tipi tanımını anladıktan sonra, şimdi $E(s)$ veya $e(t)$ hatasını ele alacağız.

Şekil 3-4'deki blok diyagramından,

$$e(t) = r(t) - b(t)$$

Laplace domenine dönüştürürsek

$$\begin{aligned} E(s) &= R(s) - B(s) \\ &= R(s) - C(s)H(s) \\ &= R(s) - E(s)G(s)H(s) \\ \therefore E(s) &= \frac{R(s)}{1 + G(s)H(s)} \end{aligned}$$

Kararlı-durum hatası e_{ss} aşağıdaki gibi tanımlanır

$$\begin{aligned} e_{ss} &= \lim_{t \rightarrow \infty} e(t) \\ &= \lim_{s \rightarrow 0} sE(s) \\ &= \lim_{s \rightarrow 0} \frac{sR(s)}{1 + G(s)H(s)} \end{aligned}$$

Giriş sinyalinin ve sistem tipinin kararlı-durum üzerindeki etkileri, aşağıdaki gibi ele alınacaktır:

(i) Basamak girişten dolayı kararlı-durum hatası

Basamak giriş sinyali aşağıdaki gibi ifade edilir

$$R(s) = \frac{a}{s} \quad \text{or} \quad r(t) = au(t)$$

Basamak hata sabiti K_p şu şekilde tanımlanır:

$$K_p = \lim_{s \rightarrow 0} G(s)H(s)$$

$$e_{ss} = \lim_{s \rightarrow 0} \frac{sR(s)}{1 + G(s)H(s)} = \lim_{s \rightarrow 0} \frac{a}{1 + G(s)H(s)} = \frac{a}{1 + \lim_{s \rightarrow 0} G(s)H(s)} = \frac{a}{1 + K_p}$$

(a) Tip 0 sistem

$$G(s)H(s) = \frac{K(1 + a_1s)(1 + a_2s) \cdots (1 + a_ns)}{(1 + b_1s)(1 + b_2s) \cdots (1 + b_ms)}$$

$$K_p = \lim_{s \rightarrow 0} G(s)H(s) = K$$

$$e_{ss} = \frac{a}{1 + K_p} = \frac{a}{1 + K}$$

Bu, tip 0 sistemin basamak giriş tepkesinin, yapısından kaynaklanan bir kararlı-durum hatasına sahip olduğunu göstermektedir.

(b) Tip 1 sistem

$$G(s)H(s) = \frac{K(1 + a_1s)(1 + a_2s) \cdots (1 + a_ns)}{s(1 + b_1s)(1 + b_2s) \cdots (1 + b_ms)}$$

$$K_p = \lim_{s \rightarrow 0} G(s)H(s) = \infty$$

$$e_{ss} = \frac{a}{1 + K_p} = \frac{a}{1 + \infty} = 0$$

Bu, tip 1 sistemin basamak giriş tepkesinin kararlı-durum hatasına sahip olmadığını göstermektedir.

(c) Tip 2 sistem

$$G(s)H(s) = \frac{K(1 + a_1s)(1 + a_2s) \cdots (1 + a_ns)}{s^2(1 + b_1s)(1 + b_2s) \cdots (1 + b_ms)}$$

$$K_p = \lim_{s \rightarrow 0} G(s)H(s) = \infty$$

$$e_{ss} = \frac{a}{1 + K_p} = \frac{a}{1 + \infty} = 0$$

Bu, tip 2 sistemin basamak giriş tepkesinin, kararlı-durum hatasına sahip olmadığını göstermektedir.

(ii) Rampa girişten dolayı kararlı-durum hatası

Rampa giriş sinyali aşağıdaki gibi ifade edilir.

$$R(s) = \frac{a}{s^2} \quad \text{or} \quad r(t) = atu(t)$$

Rampa hata sabiti K_v aşağıdaki gibi tanımlanır.

$$K_v = \lim_{s \rightarrow 0} sG(s)H(s)$$

$$e_{ss} = \lim_{s \rightarrow 0} \frac{sR(s)}{1 + G(s)H(s)} = \lim_{s \rightarrow 0} \frac{a}{s + sG(s)H(s)} = \frac{a}{K_v}$$

(a) Tip 0 sistem

$$G(s)H(s) = \frac{K(1 + a_1s)(1 + a_2s) \cdots (1 + a_ns)}{(1 + b_1s)(1 + b_2s) \cdots (1 + b_ms)}$$

$$K_v = \lim_{s \rightarrow 0} sG(s)H(s) = 0$$

$$e_{ss} = \frac{a}{K_v} = \infty$$

Bu, tip 0 sistemin çıkışının, rampa girişi takip edemeyeceğini göstermektedir. Bu yüzden kararlı-durum hatası zamanla artacaktır.

(b) Tip 1 sistem

$$G(s)H(s) = \frac{K(1 + a_1s)(1 + a_2s) \cdots (1 + a_ns)}{s(1 + b_1s)(1 + b_2s) \cdots (1 + b_ms)}$$

$$K_v = \lim_{s \rightarrow 0} sG(s)H(s) = K$$

$$e_{ss} = \frac{a}{K_v} = \frac{a}{K}$$

Bu, tip 1 sistemin rampa giriş tepkesinin, yapısından kaynaklanan bir kararlı-durum hatasına sahip olduğunu göstermektedir.

(c) Tip 2 sistem

$$G(s)H(s) = \frac{K(1+a_1s)(1+a_2s)\cdots(1+a_ns)}{s^2(1+b_1s)(1+b_2s)\cdots(1+b_ms)}$$

$$K_v = \lim_{s \rightarrow 0} sG(s)H(s) = \infty$$

$$e_{ss} = \frac{a}{K_v} = \frac{a}{\infty} = 0$$

Bu, tip 2 sistemin rampa giriş tepkesinin, kararlı-durum hatasına sahip olmadığını göstermektedir.

(iii) Parabolik girişten dolayı kararlı-durum hatası

Parabolik giriş sinyali aşağıdaki gibi ifade edilir.

$$R(s) = \frac{a}{s^3} \quad \text{or} \quad r(t) = \frac{a}{2}t^2u(t)$$

Parabolik hata sabiti K_a aşağıdaki gibi tanımlanır

$$K_a = \lim_{s \rightarrow 0} s^2G(s)H(s)$$

$$e_{ss} = \lim_{s \rightarrow 0} \frac{sR(s)}{1+G(s)H(s)} = \lim_{s \rightarrow 0} \frac{a}{s^2 + s^2G(s)H(s)} = \frac{a}{K_a}$$

(a) Tip 0 sistem

$$G(s)H(s) = \frac{K(1+a_1s)(1+a_2s)\cdots(1+a_ns)}{(1+b_1s)(1+b_2s)\cdots(1+b_ms)}$$

$$K_a = \lim_{s \rightarrow 0} s^2G(s)H(s) = 0$$

$$e_{ss} = \frac{a}{K_a} = \infty$$

Bu, tip 0 sistemin çıkışının, parabolik girişi takip edemeyeceğini ve kararlı-durum hatasının zamanla artacağını göstermektedir.

(b) Tip 1 sistem

$$G(s)H(s) = \frac{K(1+a_1s)(1+a_2s)\cdots(1+a_ns)}{s(1+b_1s)(1+b_2s)\cdots(1+b_ms)}$$

$$K_a = \lim_{s \rightarrow 0} s^2 G(s)H(s) = 0$$

$$e_{ss} = \frac{a}{K_a} = \infty$$

Bu, tip 1 sistemin parabolik giriři takip edemeyeceđini ve kararlı-durum hatasının zamanla artacađını göstermektedir.

(c) Tip 2 sistem

$$G(s)H(s) = \frac{K(1+a_1s)(1+a_2s)\cdots(1+a_ns)}{s^2(1+b_1s)(1+b_2s)\cdots(1+b_ms)}$$

$$K_a = \lim_{s \rightarrow 0} s^2 G(s)H(s) = K$$

$$e_{ss} = \frac{a}{K_a} = \frac{a}{K}$$

Bu, tip 2 sistemin parabolik giriř tepkesinin, dođal bir kararlı-durum hatasına sahip olduđunu göstermektedir.

(d) Tip 3 sistem

$$G(s)H(s) = \frac{K(1+a_1s)(1+a_2s)\cdots(1+a_ns)}{s^3(1+b_1s)(1+b_2s)\cdots(1+b_ms)}$$

$$K_a = \lim_{s \rightarrow 0} s^2 G(s)H(s) = \infty$$

$$e_{ss} = \frac{a}{K_a} = \frac{a}{\infty} = 0$$

Bu, tip 3 sistemin parabolik giriř tepkesinin, kararlı-durum hatasına sahip olmadıđını göstermektedir.

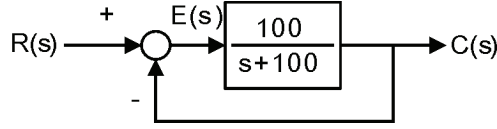
Yukarıdaki açıklamaları, şu şekilde özetleyebiliriz.

Sistem tipi	K_p	K_v	K_a	Basamak e_{ss}	Rampa e_{ss}	Parabolik e_{ss}
0	K	0	0	$a/(1+K)$	∞	∞
1	∞	K	0	0	a/K	∞
2	∞	∞	K	0	0	a/K
3	∞	∞	∞	0	0	0

DENEYİN YAPILIŞI

A. Tip 0 Sistem

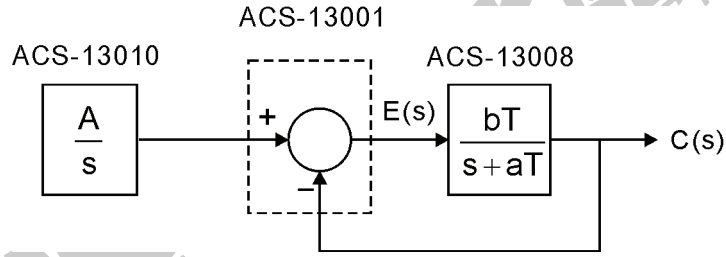
Tip 0 sistemin blok diyagramı Şekil 3-5'te gösterilmiştir.



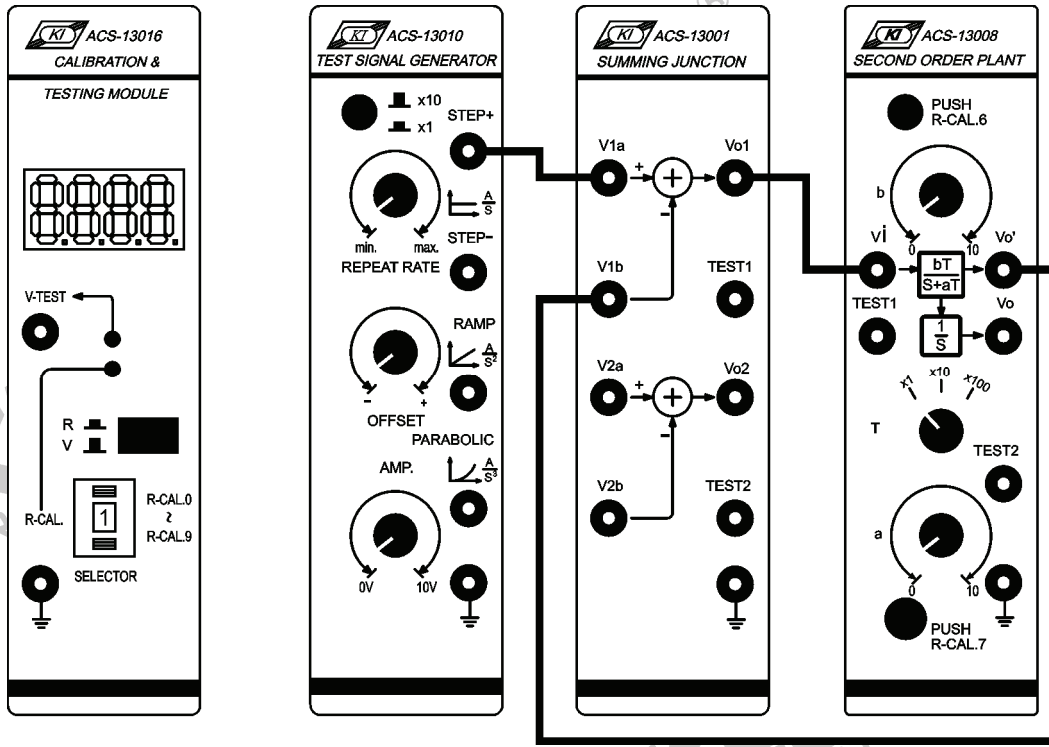
Şekil 3-5 Tip 0 sistemin blok diyagramı

A-1. Basamak Giriş

- Şekil 3-6'da gösterilen blok ve bağlantı diyagramlarından yararlanarak gerekli bağlantıları yapın.



(a) Blok diyagram



(b) Bağlantı diyagramı

Şekil 3-6

- ACS-13010 STEP+ çıkış terminalinde 0.1Hz, 1Vpp'lik bir kare dalga üretin.
- ACS-13008'de, T seçici anahtarı x10 konumuna getirin, a=b=10 yapın. Böylece ACS-13008'in transfer fonksiyonu aşağıdaki gibi ifade edilir.

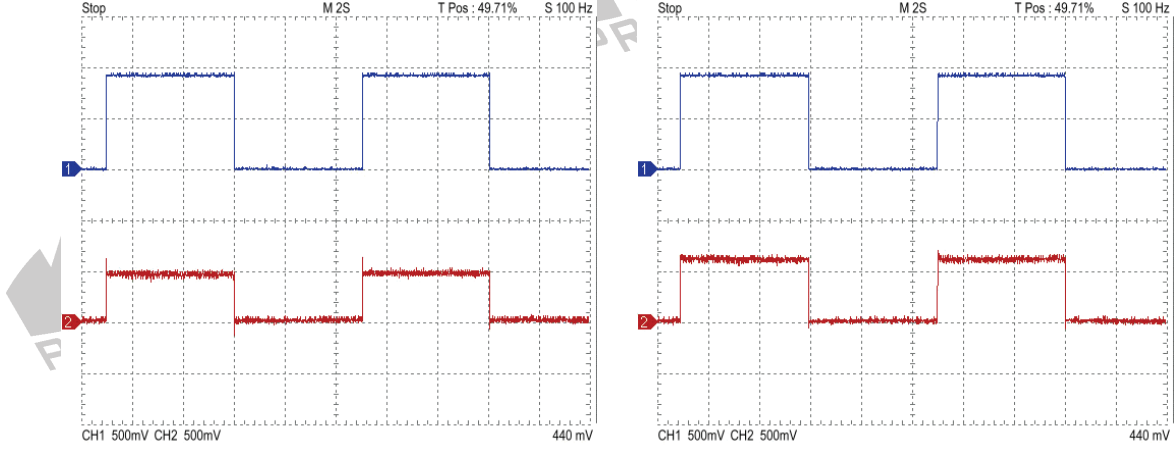
$$G(s) = \frac{V_o'(s)}{V_i(s)} = \frac{bT}{s+aT} = \frac{100}{s+100}$$

Bu sistem, basamak girişli tip 0 sistemdir ve kararlı-durum hatası aşağıdaki denklem ile ifade edilir.

$$e_{ss} = \lim_{s \rightarrow 0} sE(s) = \lim_{s \rightarrow 0} s \frac{1}{1+G(s)} R(s) = \lim_{s \rightarrow 0} s \frac{1}{1+\frac{100}{s}} \frac{1}{s} = 0.5$$

- Osiloskop kullanarak, ACS-13010 STEP+ çıkış ve ACS-13001 Vo1 çıkış terminallerindeki sinyalleri, şekil 3-7(a)'da gösterildiği gibi, ölçüp kaydedin. Sabit olup olmadığını görmek için, kararlı-durum hatası e_{ss} 'yi gözleyin.

5. ACS-13008'de, $a=20$ ve $b=10$ yapın. 4. adımı tekrarlayın ve Şekil 3-7(b)'de gösterilen sonucu elde edin. Teorik değere uygun olup olmadığını görmek için, kararlı-durum hatası e_{ss} 'yi gözleyin.



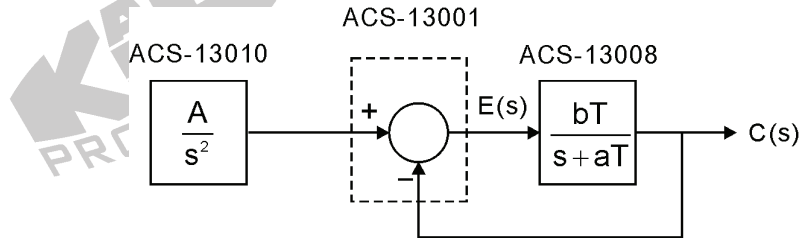
(a) $a=10, b=10$

(b) $a=20, b=10$

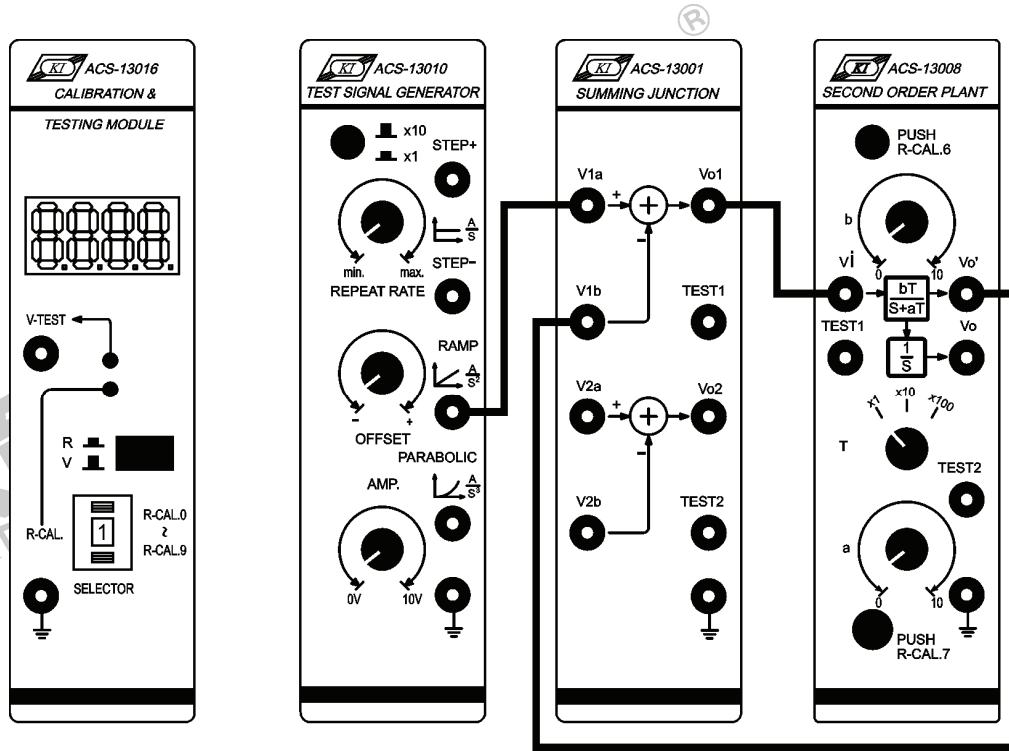
Şekil 3-7

A-2. Rampa Girişi

1. Şekil 3-8'de gösterilen blok ve bağlantı diyagramlarından yararlanarak gerekli bağlantıları yapın.



(a) Blok diyagram



(b) Bağlantı diyagramı

Şekil 3-8

- ACS-13010 STEP+ çıkış terminalinde 0.1Hz, 1Vpp'lik bir kare dalga üretin.
- ACS-13008'de, T seçici anahtarını x10 konumuna getirin, a=b=10 yapın. Böylece ACS-13008'in transfer fonksiyonu aşağıdaki gibi ifade edilir

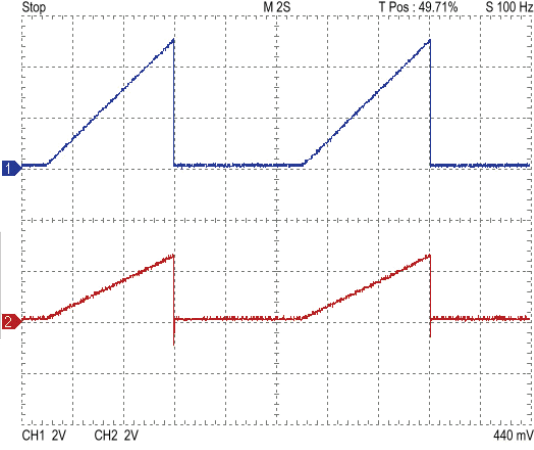
$$G(s) = \frac{V_o'(s)}{V_i(s)} = \frac{bT}{s+aT} = \frac{100}{s+100}$$

Bu system, rampa girişli tip 0 sistemdir ve kararlı-durum hatası aşağıdaki denklem ile ifade edilir

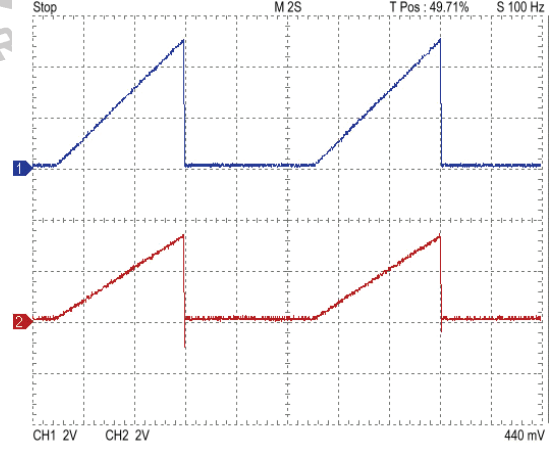
$$e_{ss} = \lim_{s \rightarrow 0} sE(s) = \lim_{s \rightarrow 0} s \frac{1}{1+G(s)} R(s) = \lim_{s \rightarrow 0} s \frac{1}{1+\frac{100}{s+100}} \frac{1}{s^2} = \infty$$

- Osiloskop kullanarak, ACS-13010 RAMP çıkış ve ACS-13001 Vo1 çıkış terminallerindeki sinyalleri, şekil 3-9(a)'da gösterildiği gibi, ölçüp kaydedin. Zamanla artıp artmadığını görmek için, kararlı-durum hatası e_{ss} 'yi gözleyin.

5. ACS-13008 üzerinde, $a=20$ ve $b=10$ yapın. 4. adımı tekrarlayın ve Şekil 3-9(b)'de gösterilen sonucu elde edin. Teorik değere uygun olup olmadığını görmek için, kararlı-durum hatası e_{ss} 'yi gözleyin.



(a) $a=10$, $b=10$

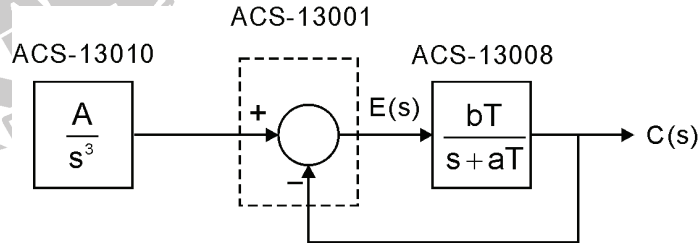


(b) $a=20$, $b=10$

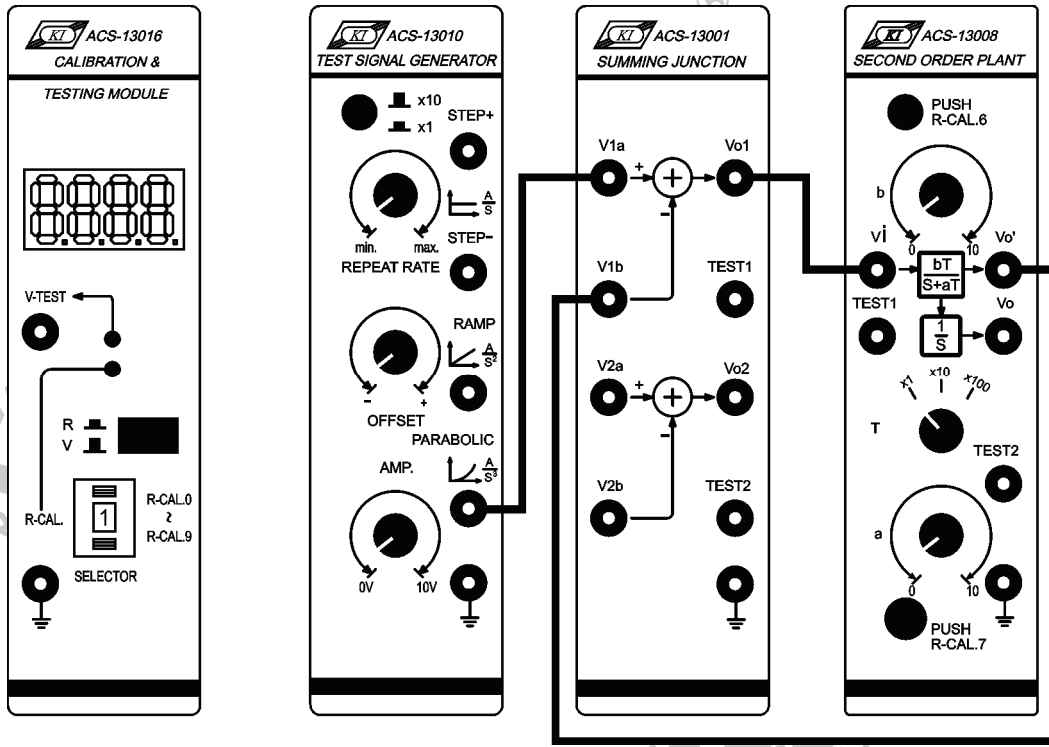
Şekil 3-9

A-3. Parabolik Giriş

1. Şekil 3-10'da gösterilen blok ve bağlantı diyagramlarından yararlanarak gerekli bağlantıları yapın.



(a) Blok diyagram



(b) Bağlantı diyagramı

Şekil 3-10

- ACS-13010 STEP+ çıkış terminalinde 0.1Hz, 1Vpp'lik bir kare dalga üretin.
- ACS-13008'de, T seçici anahtarı x10 konumuna getirin, a=b=10 yapın. Böylece ACS-13008'in transfer fonksiyonu aşağıdaki gibi ifade edilir.

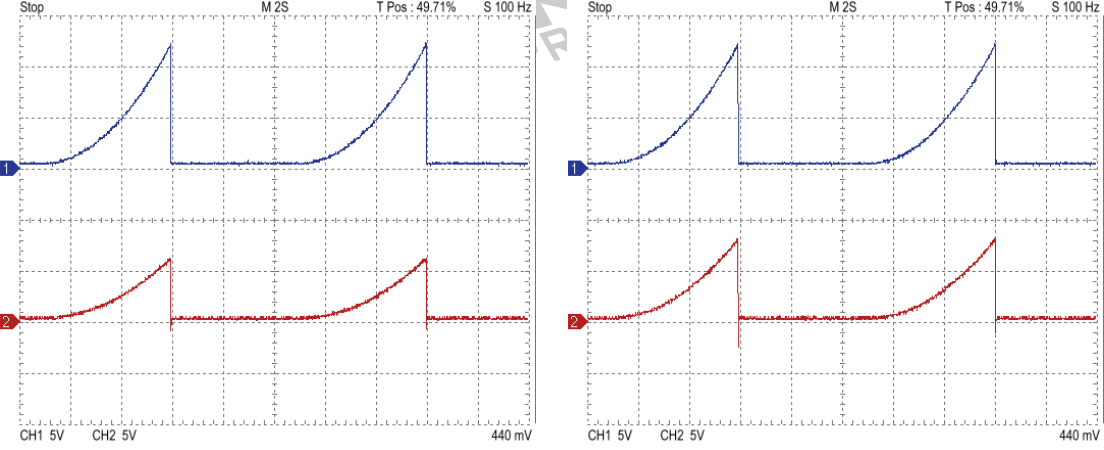
$$G(s) = \frac{V_o'(s)}{V_i(s)} = \frac{bT}{s+aT} = \frac{100}{s+100}$$

Bu system, parabolik girişli tip 0 sistemdir ve kararlı-durum hatası aşağıdaki denklem ile ifade edilir.

$$e_{ss} = \lim_{s \rightarrow 0} sE(s) = \lim_{s \rightarrow 0} s \frac{1}{1+G(s)} R(s) = \lim_{s \rightarrow 0} s \frac{1}{1+\frac{100}{s+100}} \frac{1}{s^3} = \infty$$

- Osiloskop kullanarak, ACS-13010 PARABOLIC ve ACS-13001 Vo1 çıkış terminallerindeki sinyalleri, şekil 3-11(a)'da gösterildiği gibi, ölçüp kaydedin. Zamanla artıp artmadığını görmek için, kararlı-durum hatası e_{ss} 'yi gözleyin.

5. ACS-13008'de, $a=20$ ve $b=10$ yapın. Adım 4'ü tekrarlayın ve Şekil 3-11(b)'de gösterilen sonucu elde edin. Teorik değere uygun olup olmadığını görmek için, kararlı-durum hatası e_{ss} 'yi gözleyin.



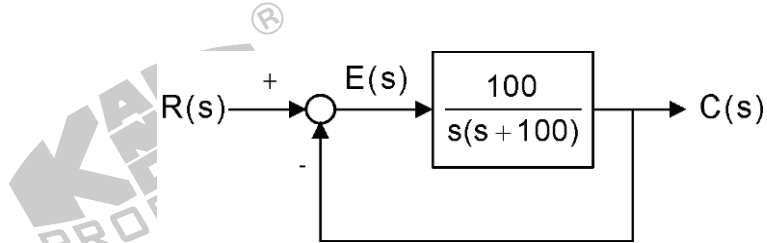
(a) $a=10, b=10$

(b) $a=20, b=10$

Figure 3-11

B. Tip 1 Sistem

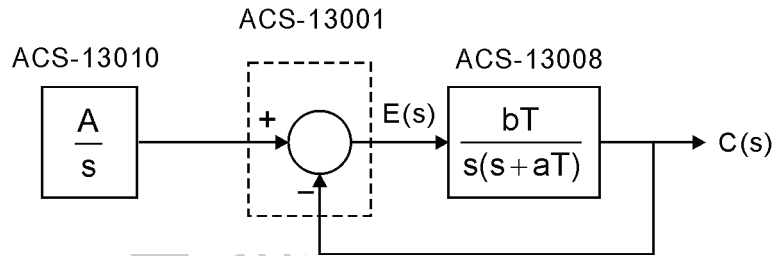
Tip 1 sistemin blok diyagramı şekil 3-12'de gösterilmiştir.



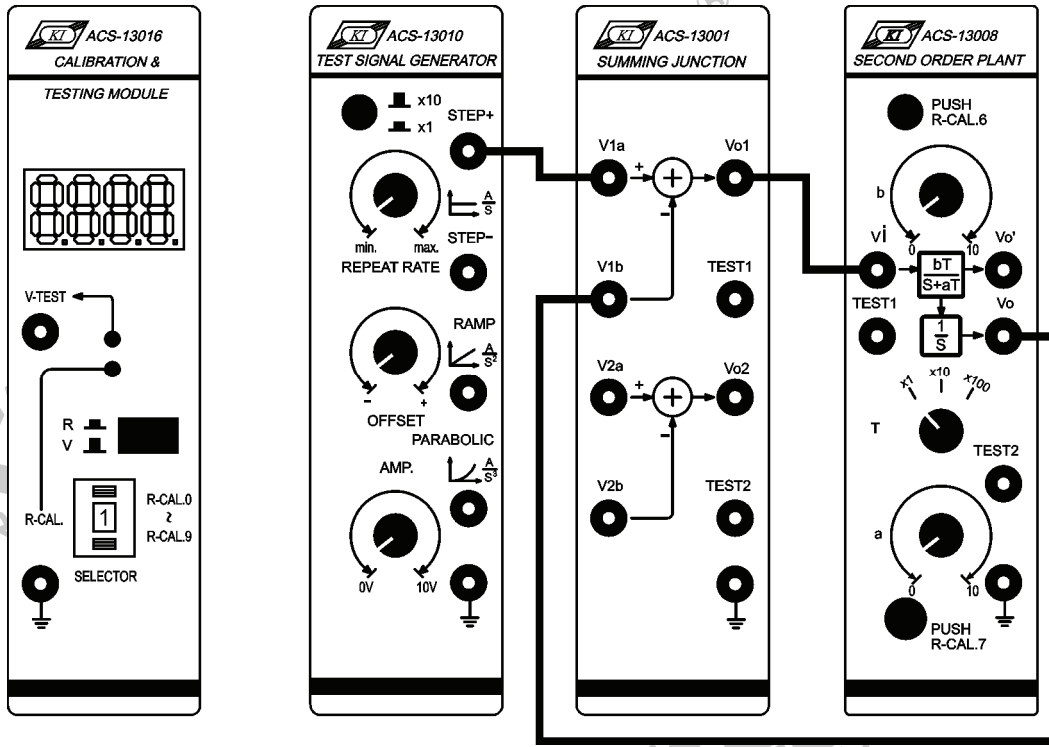
Şekil 3-12 Tip 1 sisteminin blok diyagramı

B-1. Basamak Giriş

1. Şekil 3-13'te gösterilen blok ve bağlantı diyagramlarından yararlanarak gerekli bağlantıları yapın.



(a) Blok diyagram



(b) Bağlantı diyagramı

Şekil 3-13

- ACS-13010 STEP+ çıkış terminalinde 0.1Hz, 1Vpp'lik bir kare dalga üretin.
- ACS-13008 üzerinde, T seçici anahtarı x10 konumuna getirin, a=b=10 yapın. Böylece ACS-13008'in transfer fonksiyonu

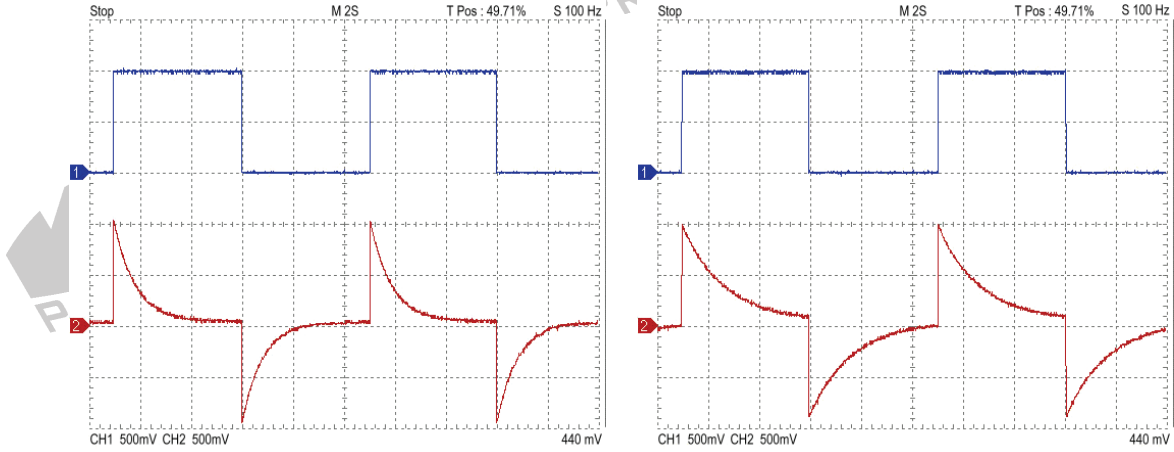
$$G(s) = \frac{V_o(s)}{V_i(s)} = \frac{bT}{s+aT} \frac{1}{s} = \frac{100}{s^2 + 100s}$$

Bu sistem, basamak girişli tip 1 sistemdir. Kararlı-durum hatası aşağıdaki denklem ile ifade edilir

$$e_{ss} = \lim_{s \rightarrow 0} sE(s) = \lim_{s \rightarrow 0} s \frac{1}{1+G(s)} R(s) = \lim_{s \rightarrow 0} s \frac{1}{1 + \frac{100}{s^2 + 100s}} \frac{1}{s} = 0$$

- Osiloskop kullanarak, ACS-13010 STEP+ çıkış ve ACS-13001 Vo1 çıkış terminallerindeki sinyalleri, şekil 3-14(a)'da gösterildiği gibi, ölçüp kaydedin. Sıfıra eşit olup olmadığını görmek için, kararlı-durum hatası e_{ss} 'yi gözleyin.

5. ACS-13008'de, $a=20$ ve $b=10$ yapın. 4. adımı tekrarlayın ve Şekil 3-14(b)'de gösterilen sonucu elde edin. Teorik değere uygun olup olmadığını görmek için, kararlı-durum hatası e_{ss} 'yi gözleyin.



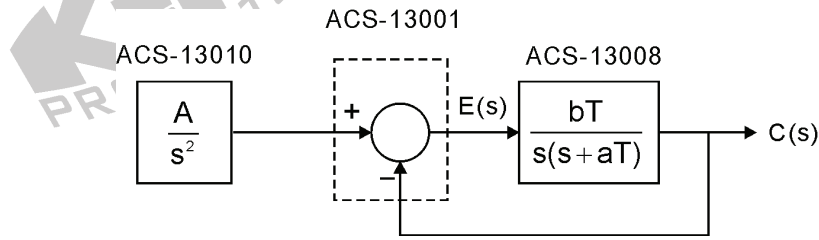
(a) $a=10$, $b=10$

(b) $a=20$, $b=10$

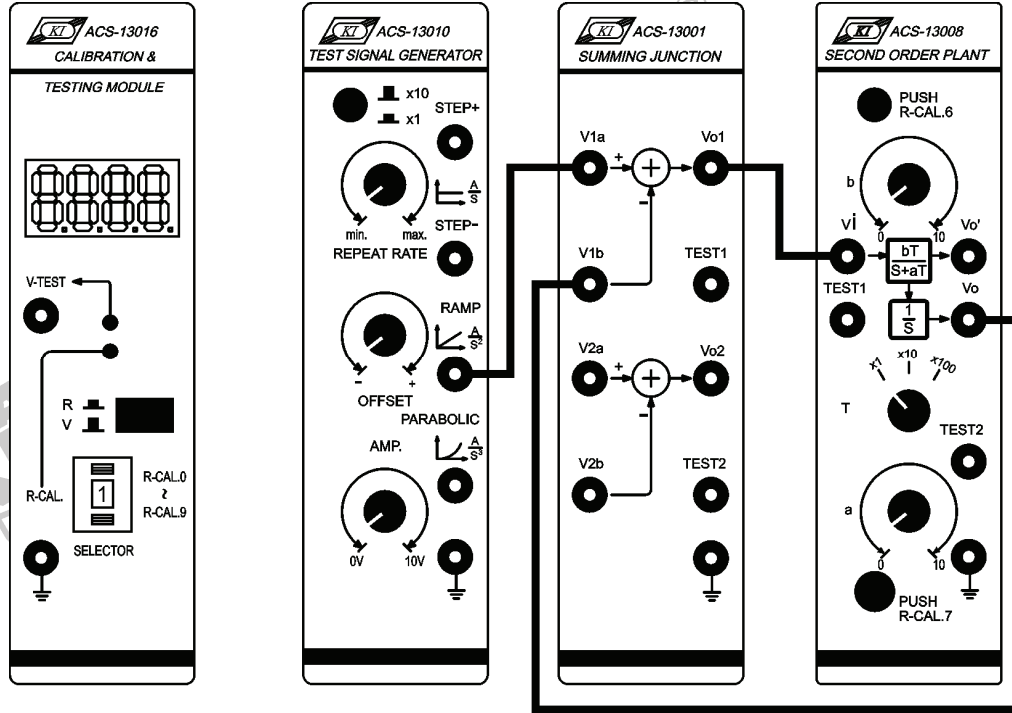
Şekil 3-14

B-2. Rampa Giriş

1. Şekil 3-15'te gösterilen blok ve bağlantı diyagramlarından yararlanarak gerekli bağlantıları yapın.



(a) Blok diyagram



(b) Bağlantı diyagramı

Şekil 3-15

- ACS-13010 STEP+ çıkış terminalinde 0.1Hz, 1Vpp'lik bir kare dalga üretin.
- ACS-13008'de, T seçici anahtarını x10 konumuna getirin, a=b=10 yapın. Böylece ACS-13008'in transfer fonksiyonu aşağıdaki gibi ifade edilir.

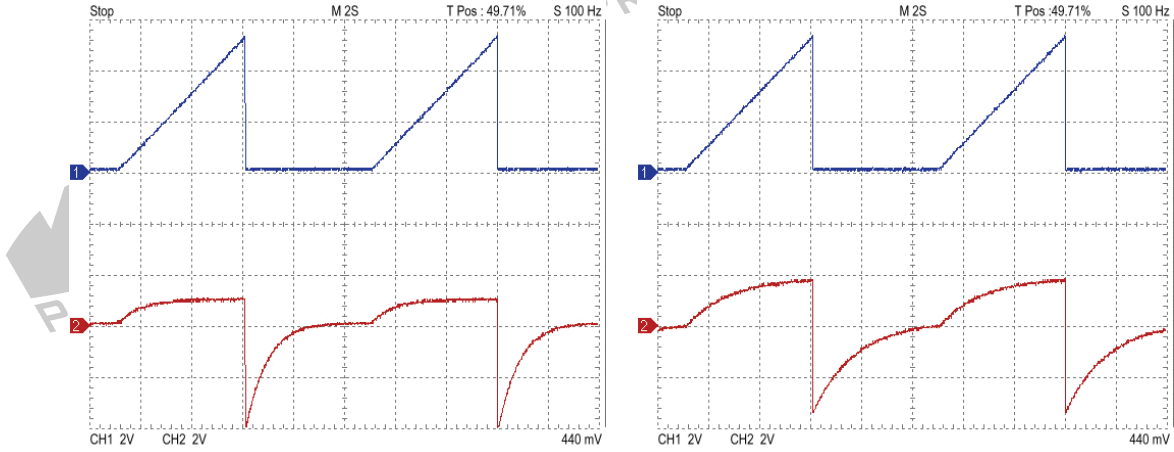
$$G(s) = \frac{V_o(s)}{V_i(s)} = \frac{bT}{s+aT} \frac{1}{s} = \frac{100}{s^2 + 100s}$$

Bu system, rampa girişli tip 1 sistemdir. Kararlı-durum hatası aşağıdaki denklem ile ifade edilir.

$$e_{ss} = \lim_{s \rightarrow 0} sE(s) = \lim_{s \rightarrow 0} s \frac{1}{1+G(s)} R(s) = \lim_{s \rightarrow 0} s \frac{1}{1 + \frac{100}{s^2 + 100s}} \frac{1}{s^2} = 1$$

- Osiloskop kullanarak, ACS-13010 RAMP çıkış ve ACS-13001 Vo1 çıkış terminallerindeki sinyalleri, şekil 3-16(a)'da gösterildiği gibi, ölçüp kaydedin. Sabit olup olmadığını görmek için, kararlı-durum hatası e_{ss} 'yi gözleyin.

5. ACS-13008'de, $a=20$ ve $b=10$ yapın. 4. adımı tekrarlayın ve Şekil 3-16(b)'de gösterilen sonucu elde edin. Teorik değere uygun olup olmadığını görmek için, kararlı-durum hatası e_{ss} 'yi gözleyin.



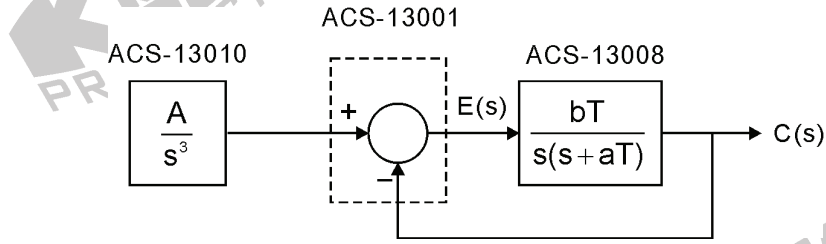
(a) $a=10, b=10$

(b) $a=20, b=10$

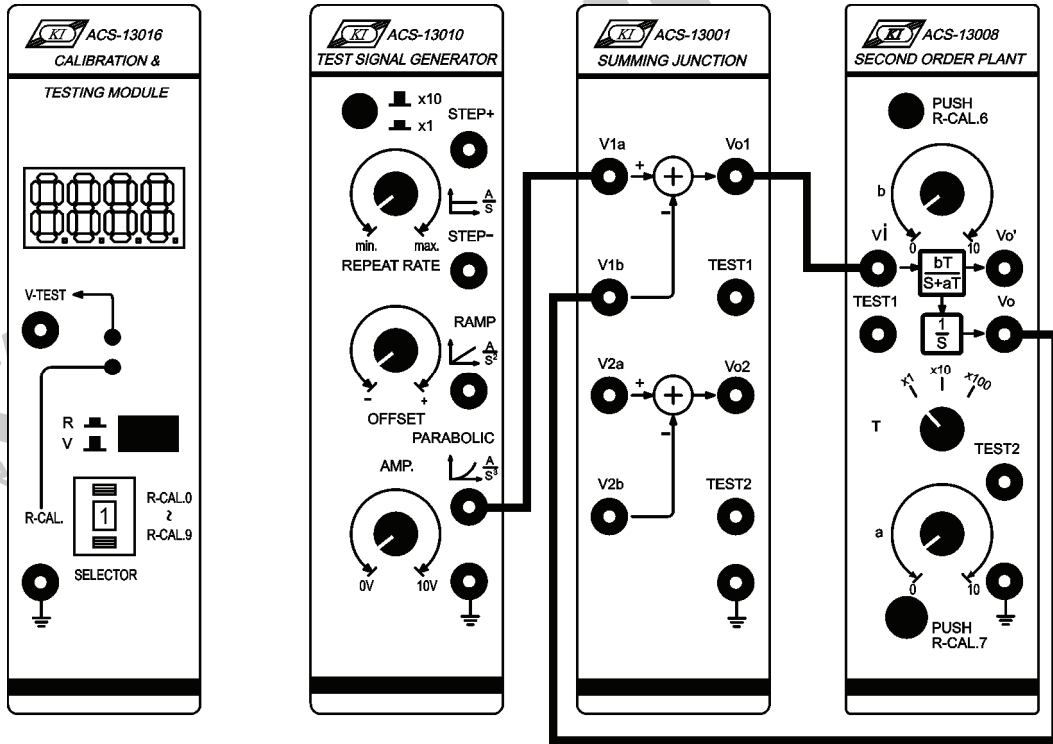
Şekil 3-16

B-3. Parabolik Giriş

1. Şekil 3-17'de gösterilen blok ve bağlantı diyagramlarından yararlanarak gerekli bağlantıları yapın.



(a) Blok diyagram



(b) Bağlantı diyagramı

Şekil 3-17

- ACS-13010 STEP+ çıkış terminalinde 0.1Hz, 1Vpp'lik bir kare dalga üretin.
- ACS-13008'de, T seçici anahtarını x10 konumuna getirin, a=b=10 yapın. Böylece ACS-13008'in transfer fonksiyonu aşağıdaki gibi ifade edilir.

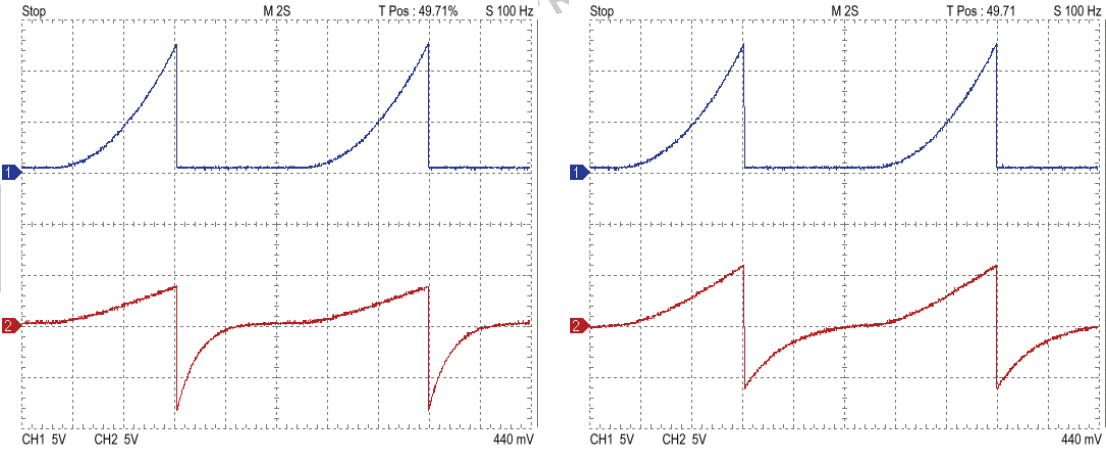
$$G(s) = \frac{V_o(s)}{V_i(s)} = \frac{bT}{s+aT} \frac{1}{s} = \frac{100}{s^2 + 100s}$$

Bu sistem bir parabolik girişli tip 1 sistemdir. Kararlı-durum hatası aşağıdaki denklem ile ifade edilir.

$$e_{ss} = \lim_{s \rightarrow 0} sE(s) = \lim_{s \rightarrow 0} s \frac{1}{1+G(s)} R(s) = \lim_{s \rightarrow 0} s \frac{1}{1 + \frac{100}{s^2 + 100s}} \frac{1}{s^3} = \infty$$

- Osiloskop kullanarak, ACS-13010 PARABOLİC çıkış ve ACS-13001 Vo1 çıkış terminallerindeki sinyalleri, şekil 3-18(a)'da gösterildiği gibi, ölçüp kaydedin. Zamanla artıp artmadığını görmek için, kararlı-durum hatası e_{ss} 'yi gözleyin.

5. ACS-13008'de, $a=20$ ve $b=10$ yapın. 4. adımı tekrarlayın ve Şekil 3-18(b)'de gösterilen sonucu elde edin. Teorik değere uygun olup olmadığını görmek için, kararlı-durum hatası e_{ss} 'yi gözleyin.



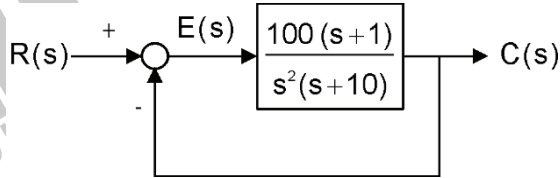
(a) $a=10$, $b=10$

(b) $a=20$, $b=10$

Şekil 3-18

C. Tip 2 Sistem

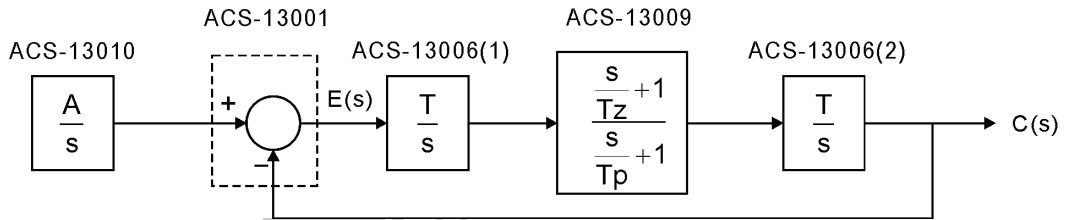
Tip 2 sistemin blok diyagramı Şekil 3-19'da gösterilmiştir.



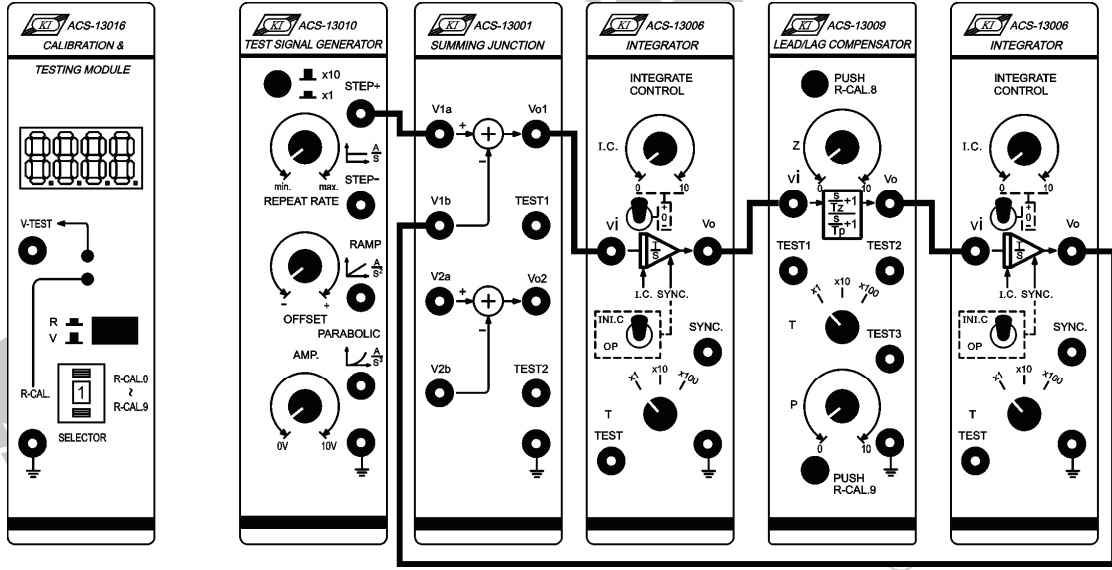
Şekil 3-19 Tip 2 sistemin blok diyagramı

C-1. Basamak Giriş

1. Şekil 3-20'de gösterilen blok ve bağlantı diyagramlarından yararlanarak gerekli bağlantıları yapın.



(a) Blok diyagramı



(b) Bağlantı diyagramı

Şekil 3-20

2. ACS-13010 STEP+ çıkış terminalinde 0.1Hz, 1V_{pp}'lik bir kare dalga üretin.
3. ACS 13009'da, T seçici anahtarını x10 konumuna getirin, z'yi 0.1'e ve p'yi 1'e ayarlayın.
4. ACS-13006(1) ve ACS-13006(2)'de bulunan seçici anahtarları, aşağıdaki tabloda verilen konumlara ayarlayın.

Seçici Anahtar	ACS-13006(1)	ACS-13006(2)
T	x1	x10
I.C.	0	0
SYNC.	OP	OP

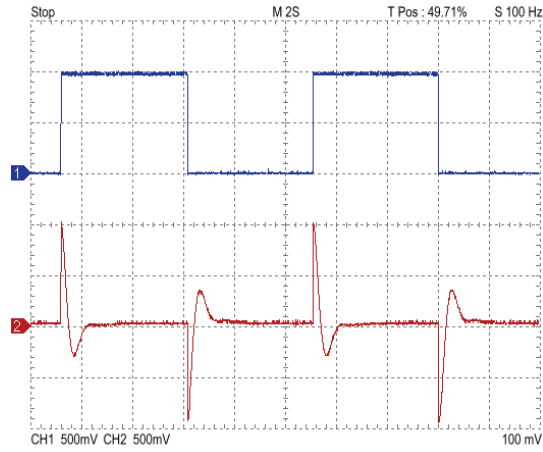
Bu sistemin transfer fonksiyonu aşağıdaki gibi olur

$$G(s) = \frac{V_o(s)}{V_i(s)} = \frac{1}{s} \frac{s+1}{s} \frac{10}{s} = \frac{100s+100}{s^3+10s^2}$$

Bu system, basamak girişli tip 2 sistemdir. Kararlı-durum hatası aşağıdaki denklem ile ifade edilir.

$$e_{ss} = \lim_{s \rightarrow 0} sE(s) = \lim_{s \rightarrow 0} s \frac{1}{1+G(s)} R(s) = \lim_{s \rightarrow 0} s \frac{1}{1 + \frac{100s+100}{s^3+10s^2}} \frac{1}{s} = 0$$

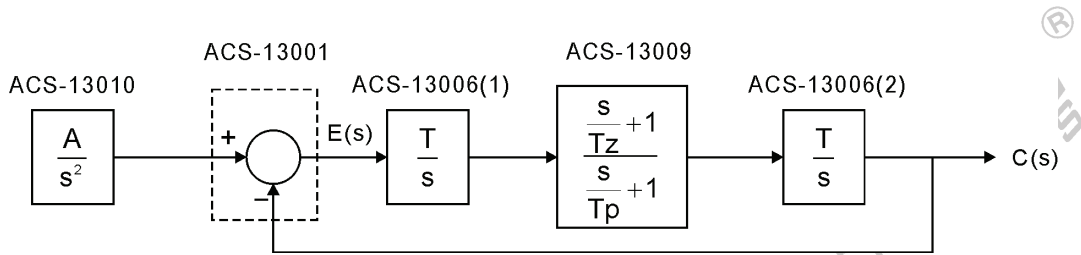
5. Osiloskop kullanarak, ACS-13010 STEP+ çıkış ve ACS-13001 Vo1 çıkış terminallerindeki sinyalleri, şekil 3-21'de gösterildiği gibi, ölçüp kaydedin. Sıfıra eşit olup olmadığını görmek için, kararlı-durum hatası e_{ss} 'yi gözleyin.



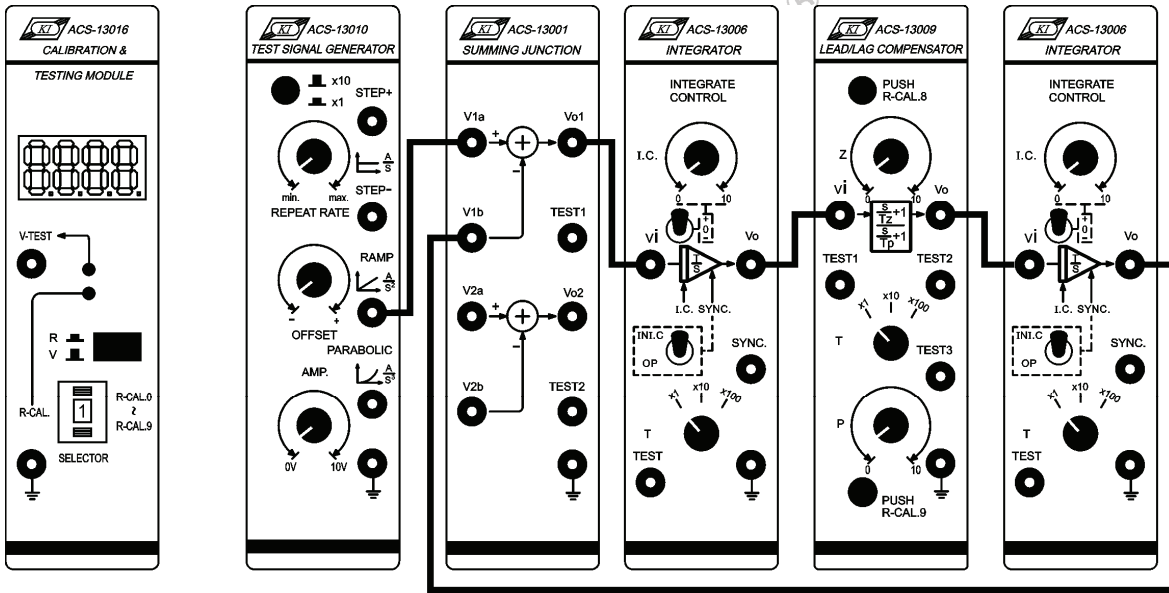
Şekil 3-21

C-2. Rampa Giriş

1. Şekil 3-22'de gösterilen blok ve bağlantı diyagramlarından yararlanarak gerekli bağlantıları yapın.



(a) Blok diyagram



(b) Bağlantı diyagramı

Şekil 3-22

- ACS-13010 STEP+ çıkış terminalinde 0.1Hz, 1Vpp'lik bir kare dalga üretin.
- ACS 13009'da, T seçici anahtarını x10 konumuna getirin, z'yi 0.1 ve p'yi 1'e ayarlayın.
- ACS-13006(1) ve ACS-13006(2)'de bulunan seçici anahtarları, aşağıdaki tabloda verilen konumlara ayarlayın:

Seçici Anahtar	ACS-13006(1)	ACS-13006(2)
T	x1	x10
I.C.	0	0
SYNC.	OP	OP

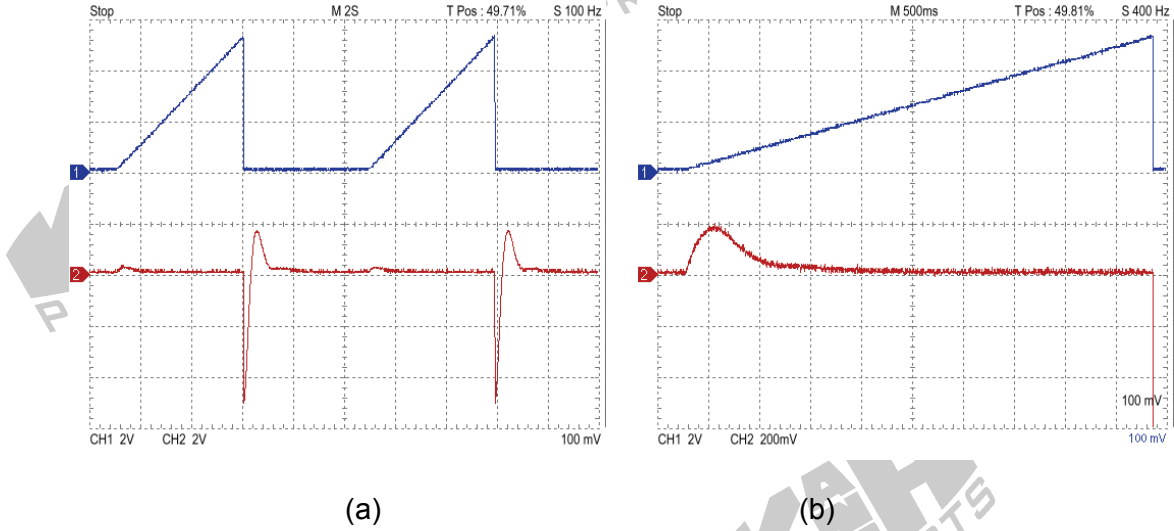
Bu sistemin transfer fonksiyonu aşağıdaki gibi olur

$$G(s) = \frac{V_o(s)}{V_i(s)} = \frac{1}{s} \frac{s+1}{s} \frac{10}{s} = \frac{100s+100}{s^3+10s^2}$$

Bu sistem, rampa girişli tip 2 sistemdir. Kararlı-durum hatası aşağıdaki denklem ile ifade edilir

$$e_{ss} = \lim_{s \rightarrow 0} sE(s) = \lim_{s \rightarrow 0} s \frac{1}{1+G(s)} R(s) = \lim_{s \rightarrow 0} s \frac{1}{1 + \frac{100s+100}{s^3+10s^2}} \frac{1}{s^2} = 0$$

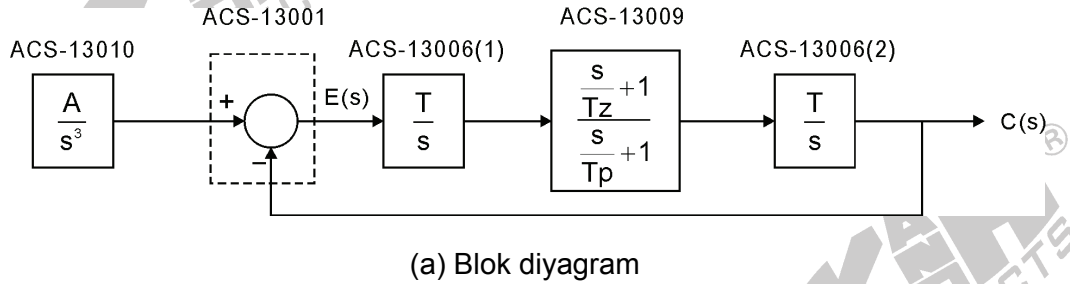
5. Osiloskop kullanarak, ACS-13010 RAMP çıkış ve ACS-13001 Vo1 çıkış terminallerindeki sinyalleri, şekil 3-23'te gösterildiği gibi ölçün ve kaydedin. Sıfıra eşit olup olmadığını görmek için, kararlı-durum hatası e_{ss} 'yi gözleyin.

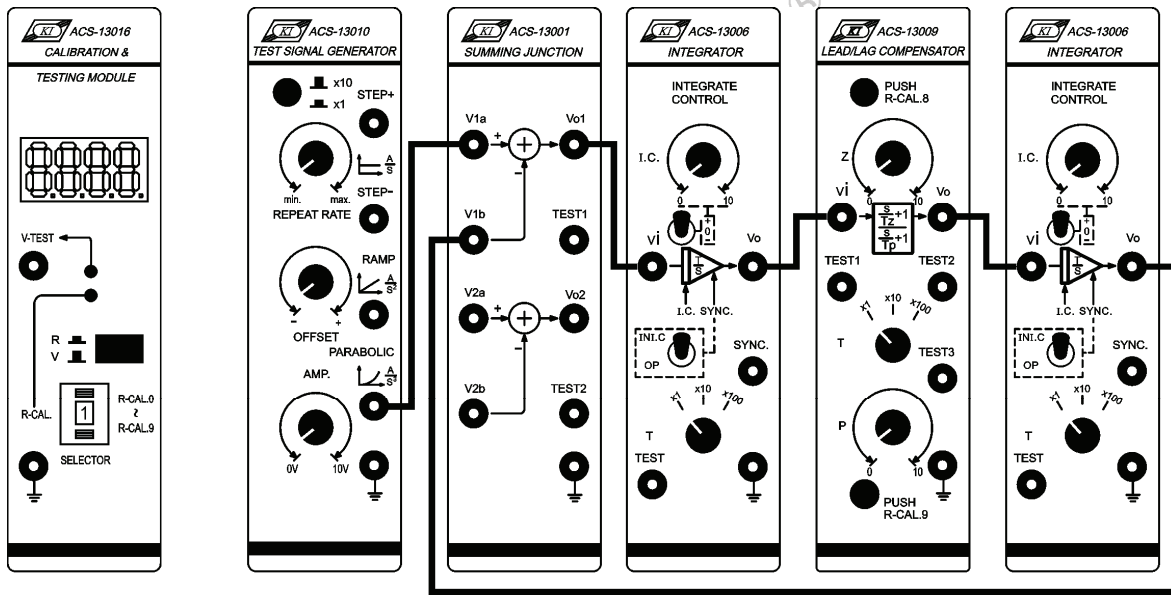


Şekil 3-23

C-3. Parabolik Giriş

1. Şekil 3-24'de gösterilen blok ve bağlantı diyagramlarından yararlanarak gerekli bağlantıları yapın.





(b) Bağlantı diyagramı

Şekil 3-24

- ACS-13010 STEP+ çıkış terminalinde 0.1Hz, 1Vpp'lik bir kare dalga üretin.
- ACS 13009'da, T seçici anahtarını x10 konumuna getirin, z'yi 0.1'e ve p'yi 1'e ayarlayın.
- ACS-13006(1) ve ACS-13006(2)'de bulunan seçici anahtarları, aşağıdaki tabloda verilen konumlara ayarlayın:

Seçici Anahtar	ACS-13006(1)	ACS-13006(2)
T Anahtar	x1	x10
I.C. Anahtar	0	0
SYNC. Anahtar	OP	OP

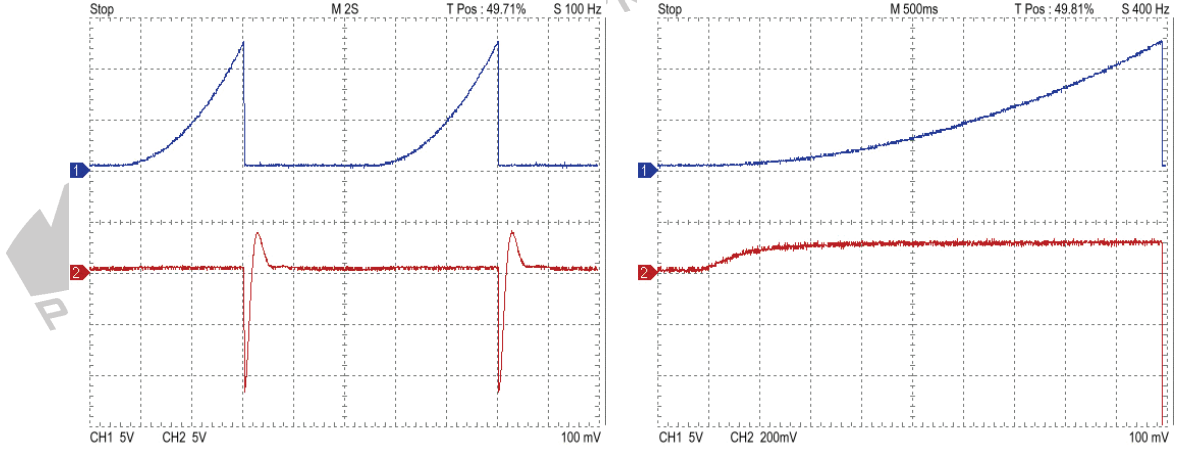
Bu sistemin transfer fonksiyonu aşağıdaki gibi olur

$$G(s) = \frac{V_o(s)}{V_i(s)} = \frac{1}{10} \frac{s+1}{s} \frac{10}{s+1} = \frac{100s+100}{s^3+10s^2}$$

Bu sistem, parabolik girişli tip 2 sistemdir. Kararlı-durum hatası aşağıdaki denklem ile ifade edilir

$$e_{ss} = \lim_{s \rightarrow 0} sE(s) = \lim_{s \rightarrow 0} s \frac{1}{1+G(s)} R(s) = \lim_{s \rightarrow 0} s \frac{1}{1 + \frac{100s+100}{s^3+10s^2}} \frac{1}{s^3} = 0.09$$

5. Osiloskop kullanarak, ACS-13010 PARABOLIC çıkış ve ACS-13001 Vo1 çıkış terminallerindeki sinyalleri, şekil 3-25'te gösterildiği gibi, ölçüp kaydedin. Sabit olup olmadığını görmek için, kararlı-durum hatası e_{ss} 'yi gözleyin.



(a)

(b) Büyütülmüş

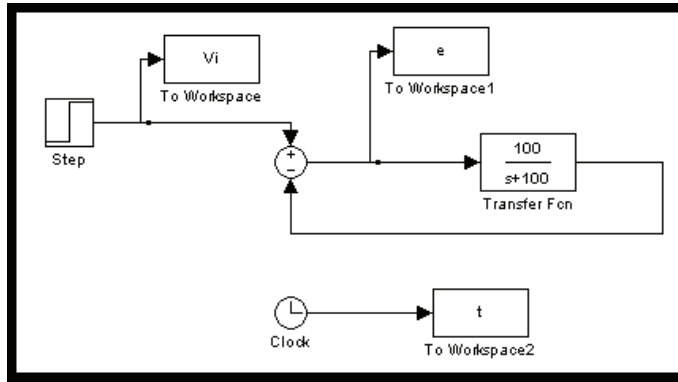
Şekil 3-25

SIMULINK BENZETİMİ

A. Tip 0 Sistem

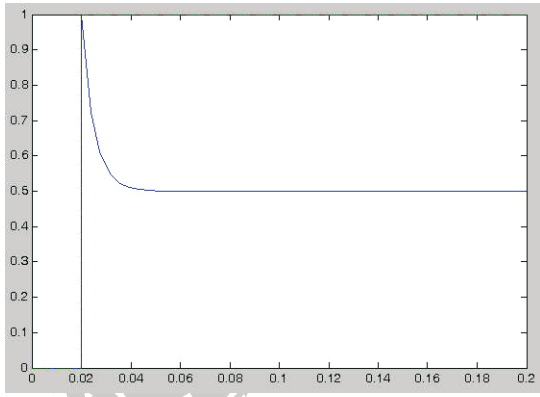
A-1. Basamak Giriş

1. MATLAB komut penceresini (command window) açın.
2. MATLAB komut penceresinde *simulink* yazıp enter'a basın.
3. *untitled* adlı pencerede, şekil 3-26'da gösterilen blok diyagramı çizin.

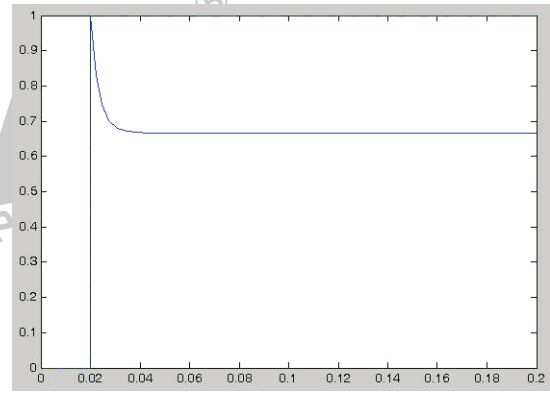


Şekil 3-26

4. Step bloğunun *Final value* değerini 1, *Step time* değerini 0.02 yapın.
5. "Simulation/Configuration parameters" menüsüne girin ve "Simulation time" diyalog penceresinde *Stop time* değerini 0.2 olarak değiştirin.
6. Blok diyagramı Deney_3_1.mdl adıyla kaydedin.
7. Simülasyonu çalıştırın ve şekil 3-27(a)'da gösterilen sonuçları elde edin.
8. *Transfer Fcn* parametreleri aT'yi 200 ve bT'yi 100 olarak değiştirin, simülasyonu çalıştırın ve şekil 3-27(b)'de gösterilen sonuçları elde edin.
9. Şekil 3-27'deki sonuçlardan, kararlı durum hatası e_{ss} 'nin sabit bir değere yakınsadığı görülmektedir. aT ve bT parametrelerinin değiştirilmesi ile bu sabit değer değiştirilebilir.



(a) $aT=100$, $bT=100$

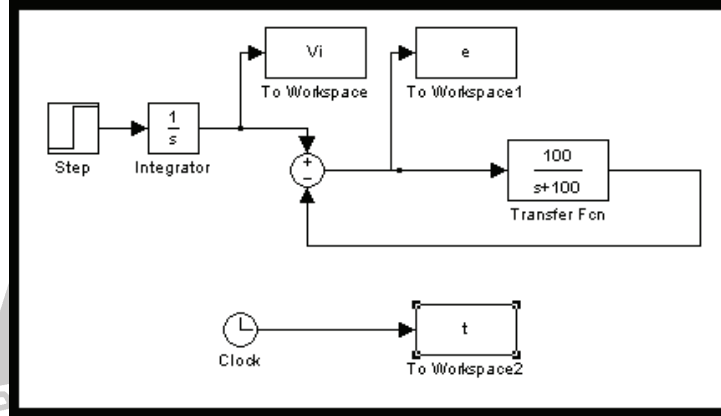


(b) $aT=200$, $bT=100$

Şekil 3-27

A-2. Rampa Giriş: Basamak sinyali bir integratordan (a/s) geçirin ve test için kullanılacak rampa işareti üretin.

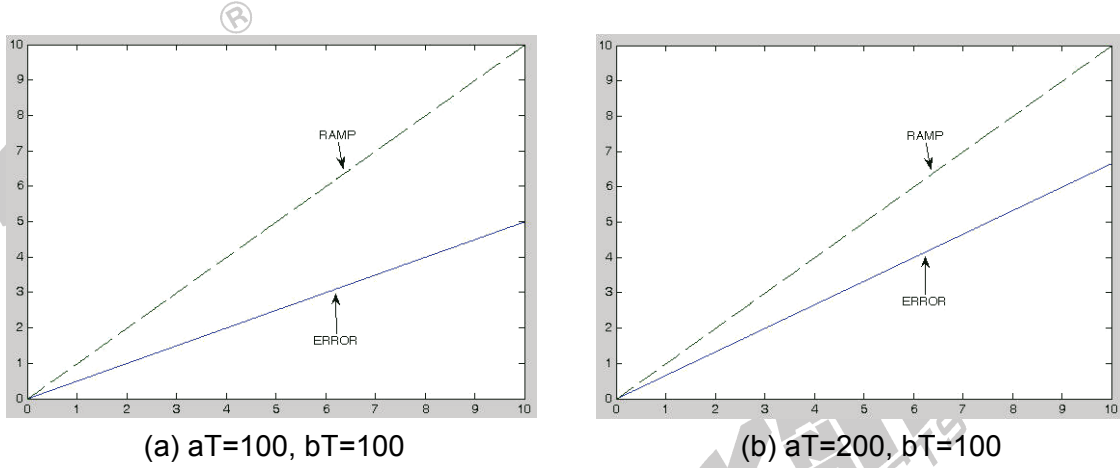
1. *untitled* adlı pencerede, şekil 3-28’de gösterilen blok diyagramı çizin.



Şekil 3-28

2. Step bloğunun *Final value* değerini 1, *Step time* değerini 0.02 yapın.
3. “Simulation/Configuration parameters” menüsüne girin ve “Simulation time” diyalog penceresinde *Stop time* değerini 10 olarak değiştirin.
4. Blok diyagramı Deney_3_2.mdl adıyla kaydedin.
5. Simülasyonu çalıştırın ve şekil 3-29(a) da gösterilen sonuçları elde edin.

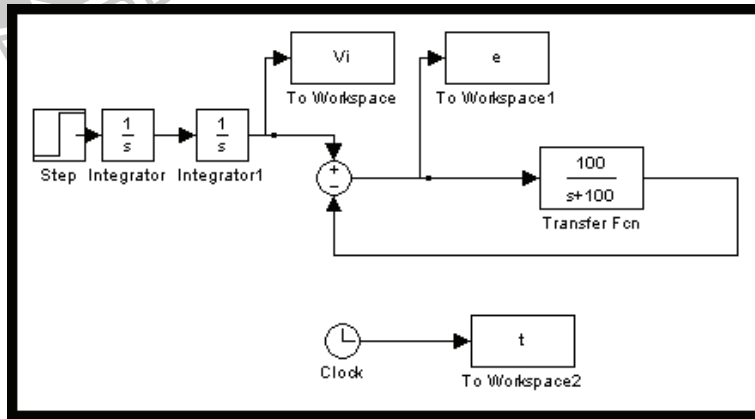
6. *Transfer Fcn* parametreleri aT 'yi 200 ve bT 'yi 100 olarak deęiřtirin, simülasyonu alıřtırın ve řekil 3-29(b)'de gsterilen sonuları elde edin.
7. řekil 3-29'daki sonulardan, kararlı durum hatası e_{ss} 'nin, zaman arttıca sonsuza yakınsadıęını grebiliriz. aT ve bT 'deki deęiřiklik, sadece e_{ss} 'nin eęimini deęiřtirir.



řekil 3-29

A-3. Parabolik Giriř: Basamak sinyali, seri baęlı iki integratordan (a/s) geirin ve test iin kullanılacak rampa iřareti retin.

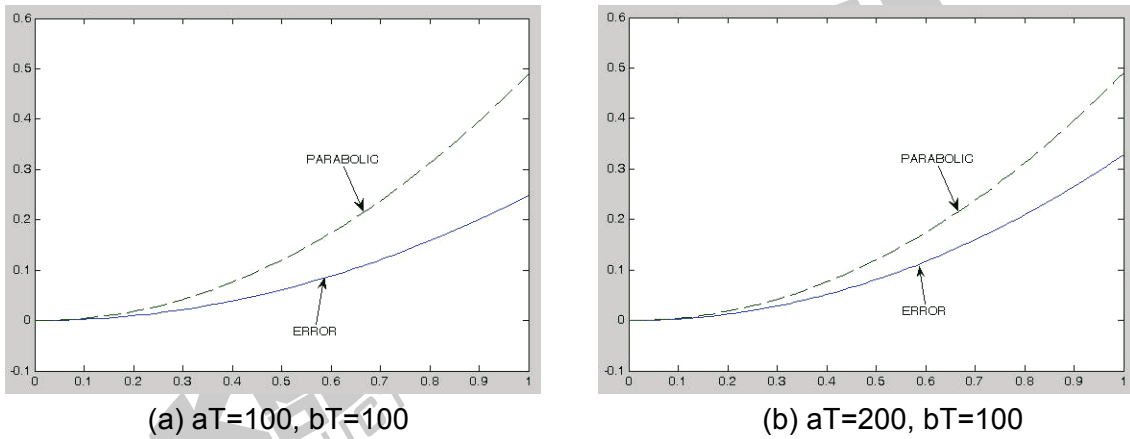
1. *untitled* adlı pencerede, řekil 3-30'da gsterilen blok diyagramı izin.



řekil 3-30

2. Step bloęunun *Final value* deęerini 1, *Step time* deęerini 0.01 yapın.

3. "Simulation/Configuration parameters" menüsüne girin ve "Simulation time" diyalog penceresinde *Stop time* değerini 1 olarak değiştirin.
4. Blok diyagramı *Deney_3_3.mdl* adıyla kaydedin.
5. Simülasyonu çalıştırın ve şekil 3-31(a)'da gösterilen sonuçları elde edin.
6. *Transfer Fcn* parametreleri *aT*'yi 200 ve *bT*'yi 100 olarak değiştirin, simülasyonu çalıştırın ve şekil 3-31(b)'de gösterilen sonuçları elde edin.
7. Şekil 3-31'deki sonuçlardan, kararlı durum hatası e_{ss} 'nin, zaman arttıkça sonsuza yakınsadığını görebiliriz. *aT* ve *bT*'deki değişiklik, sadece e_{ss} 'nin eğimini değiştirir.

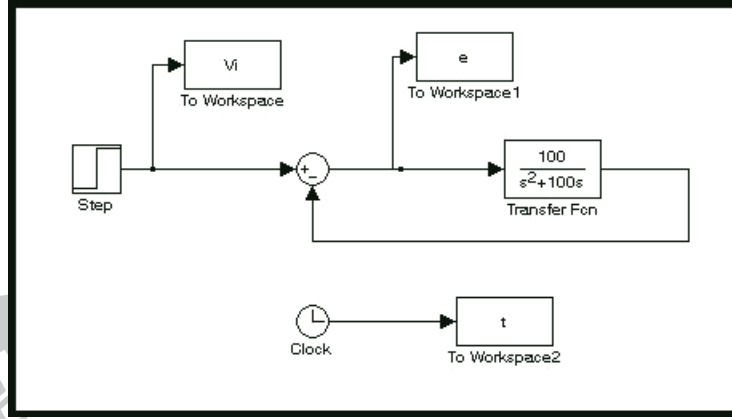


Şekil 3-31

B. Tip 1 Sistem

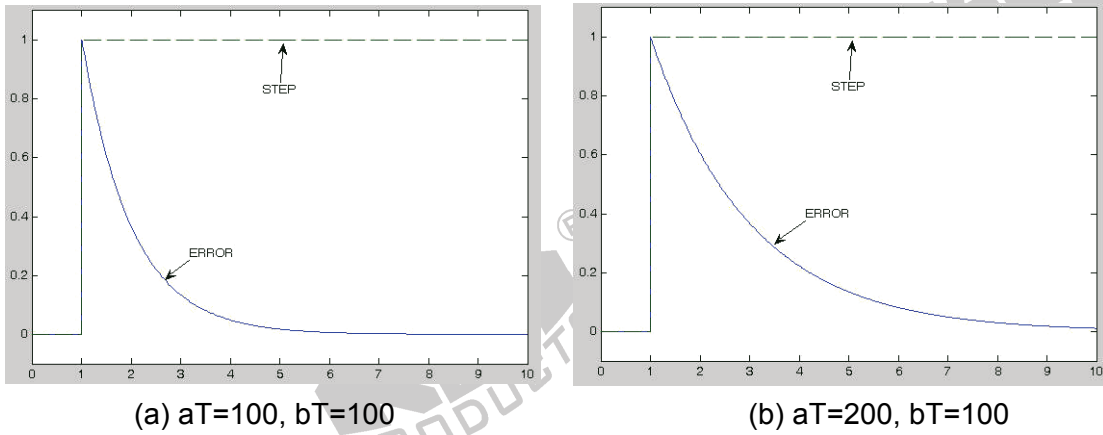
B-1. Basamak Giriş

1. MATLAB komut penceresini (command window) açın.
2. MATLAB komut penceresinde *simulink* yazıp enter'a basın.
3. *untitled* adlı pencerede, şekil 3-32'de gösterilen blok diyagramı çizin.



Şekil 3-32

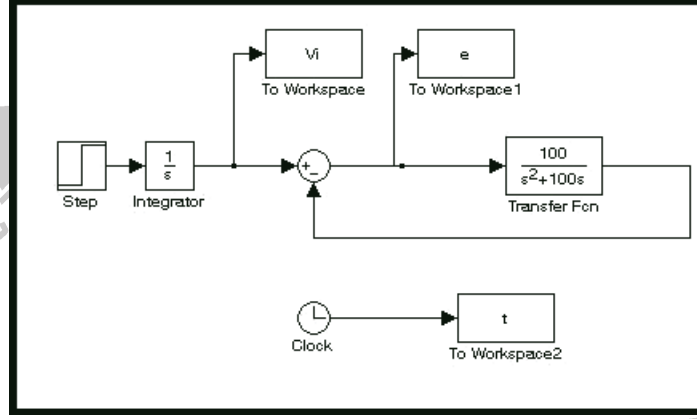
4. Step bloğunun *Final value* değerini 1, *Step time* değerini 1 yapın.
5. "Simulation/Configuration parameters" menüsüne girin ve "Simulation time" diyalog penceresinde *Stop time* değerini 10 olarak değiştirin.
6. Blok diyagramı Deney_3_4.mdl adıyla kaydedin.
7. Simülasyonu çalıştırın ve şekil 3-33(a)'da gösterilen sonuçları elde edin.
8. *Transfer Fcn* parametreleri aT'yi 200 ve bT'yi 100 olarak değiştirin, simülasyonu çalıştırın ve şekil 3-33(b)'de gösterilen sonuçları elde edin.
9. Şekil 3-33'deki sonuçlardan, kararlı durum hatası e_{ss} 'nin zaman arttıkça azaldığı ve son hatanın hemen hemen sıfır olduğu görülmektedir. aT ve bT'deki değişiklik, sadece e_{ss} 'nin eğimini değiştirir.



Şekil 3-33

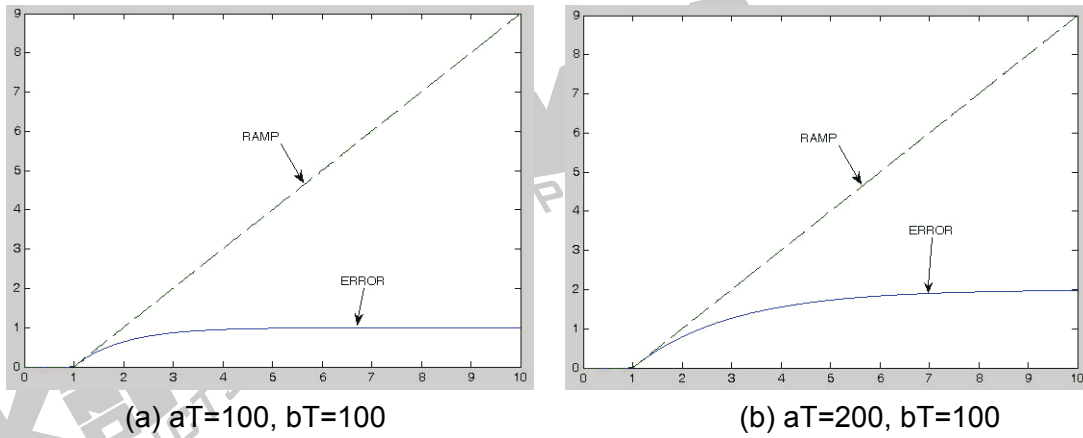
B-2. Rampa Giriş: Basamak sinyali bir integratordan (a/s) geçirin ve test için kullanılacak rampa işareti üretin.

1. *untitled* adlı pencerede, şekil 3-34'de gösterilen blok diyagramı çizin.



Şekil 3-34

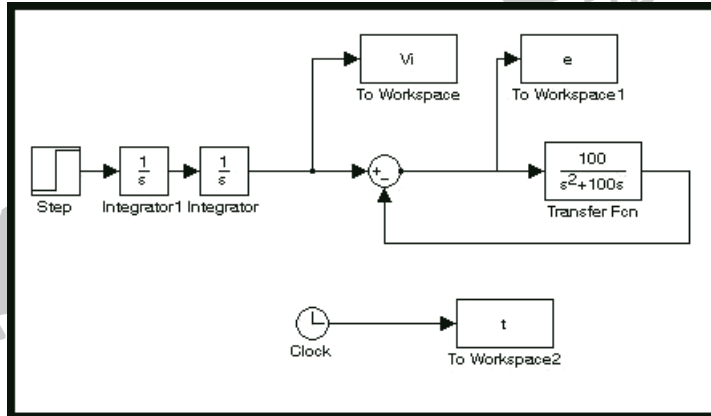
2. Step bloğunun *Final value* değerini 1, *Step time* değerini 1 yapın.
3. "Simulation/Configuration parameters" menüsüne girin ve "Simulation time" diyalog penceresinde *Stop time* değerini 10 olarak değiştirin.
4. Blok diyagramı Deney_3_5.mdl adıyla kaydedin.
5. Simülasyonu çalıştırın ve şekil 3-35(a)'da gösterilen sonuçları elde edin.
6. Transfer Fcn parametreleri aT'yi 200 ve bT'yi 100 olarak değiştirin, simülasyonu çalıştırın ve şekil 3-35(b)'de gösterilen sonuçları elde edin.
7. Şekil 3-35'deki sonuçlardan, kararlı durum hatası e_{ss} 'nin sabit bir değere yakınsadığı görülmektedir. aT ve bT parametrelerinin değiştirilmesi ile bu sabit değer değiştirilebilir.



Şekil 3-35

B-3. Parabolik Giriş: Basamak sinyali, seri bağlı iki integratordan (a/s) geçirin ve test için kullanılacak rampa işareti üretin.

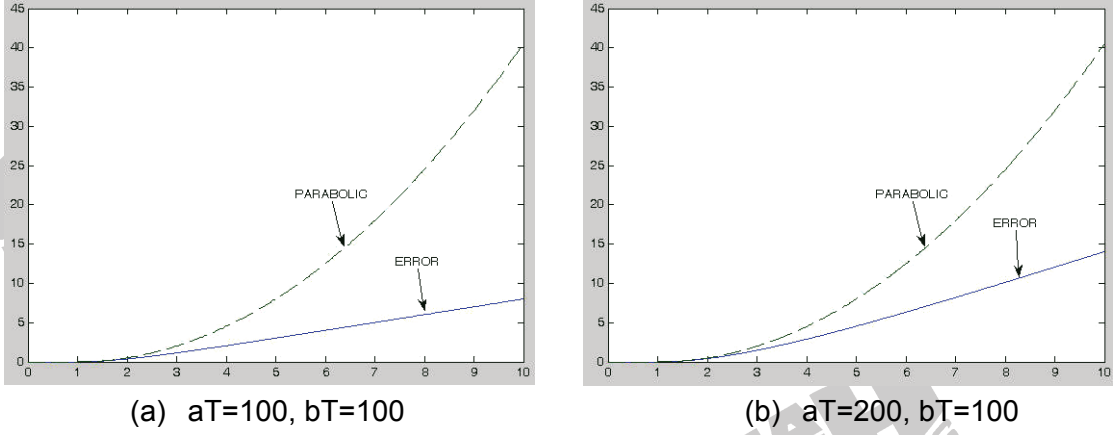
1. *untitled* adlı pencerede, şekil 3-36’da gösterilen blok diyagramı çizin.



Şekil 3-36

2. Step bloğunun *Final value* değerini 1, *Step time* değerini 1 yapın.
3. “Simulation/Configuration parameters” menüsüne girin ve “Simulation time” diyalog penceresinde *Stop time* değerini 10 olarak değiştirin.
4. Blok diyagramı Deney_3_6.mdl adıyla kaydedin.
5. Simülasyonu çalıştırın ve şekil 3-37(a)’da gösterilen sonuçları elde edin.

6. *Transfer Fcn* parametreleri aT 'yi 200 ve bT 'yi 100 olarak deęiřtirin, simülasyonu çalıştırın ve řekil 3-37(b)'de gösterilen sonuçları elde edin.
7. řekil 3-37'deki sonuçlardan, kararlı durum hatası e_{ss} 'nin, zaman arttıkça sonsuza yakınsadığını görebiliriz. aT ve bT 'deki deęişiklik, sadece e_{ss} 'nin eğimini deęiřtirir.

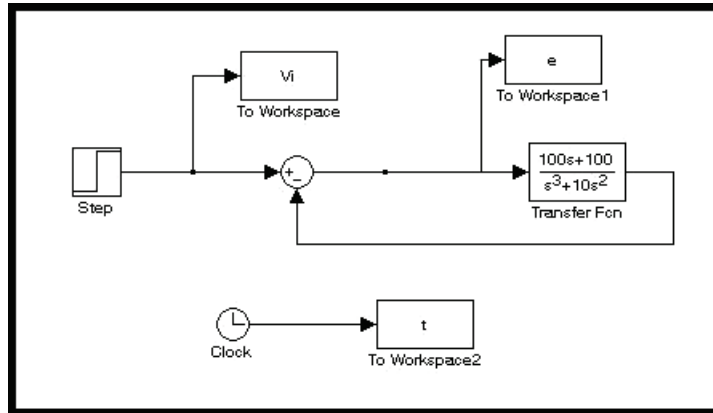


řekil 3-37

C Tip 2 Sistem

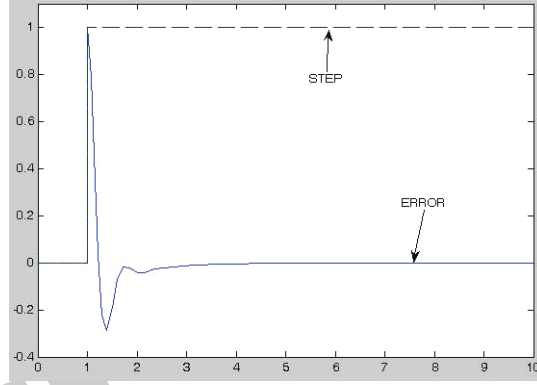
C-1. Basamak Giriř

1. MATLAB komut penceresini (command window) açın.
2. MATLAB komut penceresinde *simulink* yazıp enter'a basın.
3. *untitled* adlı pencerede, řekil 3-38'de gösterilen blok diyagramı çizin.



řekil 3-38

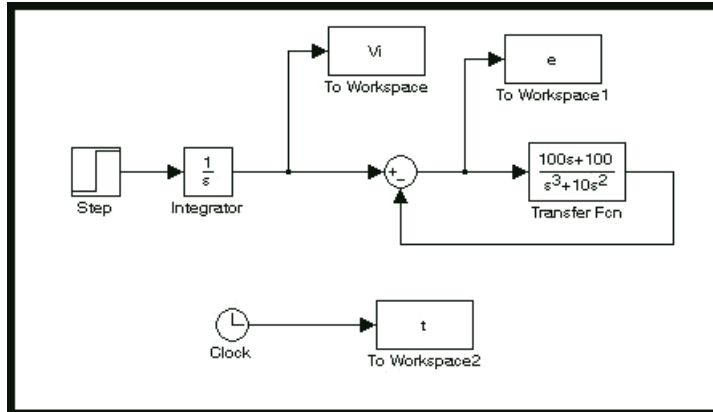
4. Step bloğunun *Final value* değerini 1, *Step time* değerini 1 yapın.
5. "Simulation/Configuration parameters" menüsüne girin ve "Simulation time" diyalog penceresinde *Stop time* değerini 10 olarak değiştirin.
6. Blok diyagramı Deney_3_7.mdl adıyla kaydedin.
7. Simülasyonu çalıştırın ve şekil 3-39'da gösterilen sonuçları elde edin.
8. Şekil 3-39'daki sonuçlardan, kararlı durum hatası e_{ss} 'nin zaman arttıkça azaldığı ve son hatanın hemen hemen sıfır olduğu görülmektedir.



Şekil 3-39

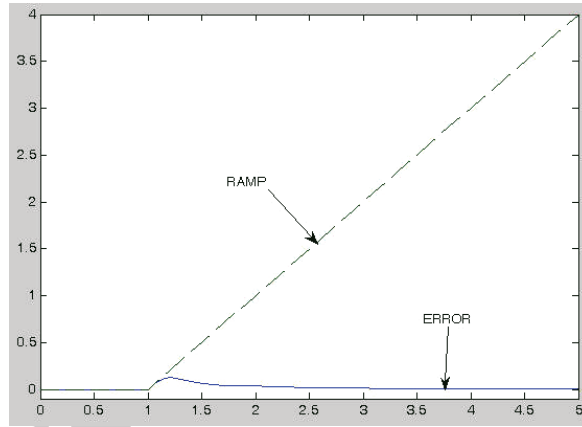
C-2. Rampa Giriş: Basamak sinyali bir integratordan (a/s) geçirin ve test için kullanılacak rampa işareti üretin.

1. *untitled* adlı pencerede, şekil 3-40'da gösterilen blok diyagramı çizin.



Şekil 3-40

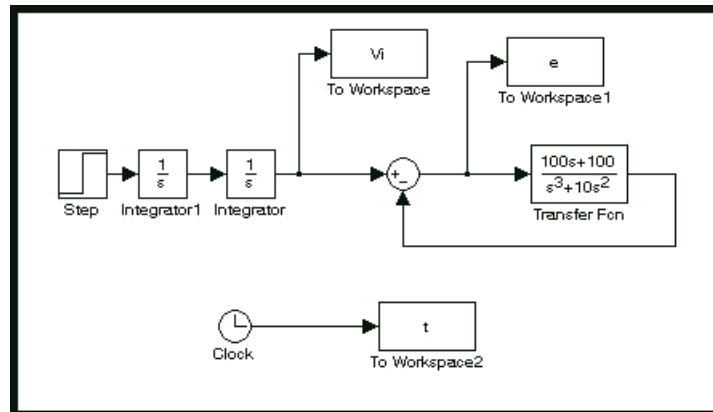
2. Step bloğunun Final value değerini 1, Step time değerini 1 yapın.
3. "Simulation/Configuration parameters" menüsüne girin ve "Simulation time" diyalog penceresinde *Stop time* değerini 5 olarak değiştirin.
4. Blok diyagramını Deney_3_8.mdl adıyla kaydedin.
5. Simülasyonu çalıştırın ve şekil 3-41'de gösterilen sonuçları elde edin.
6. Şekil 3-41'deki sonuçlardan, kararlı durum hatası e_{ss} 'nin zaman arttıkça azaldığı ve son hatanın hemen hemen sıfır olduğu görülmektedir.



Şekil 3-41

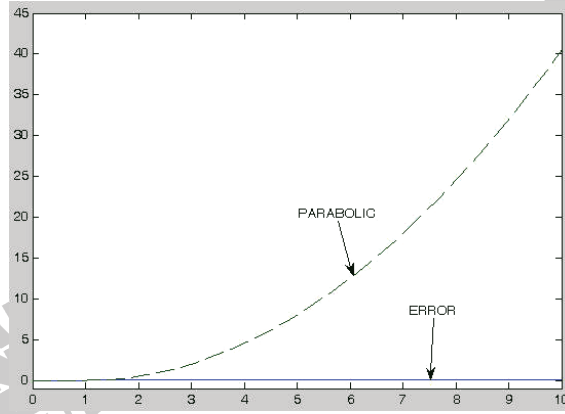
C-3. Parabolik Giriş: Basamak sinyali, seri bağlı iki integratordan (a/s^2) geçirin ve test için kullanılacak rampa işareti üretin.

1. *untitled* adlı pencerede, şekil 3-42'de gösterilen blok diyagramı çizin.



Şekil 3-42

2. Step bloğunun *Final value* değerini 1, *Step time* değerini 1 yapın.
3. "Simulation/Configuration parameters" menüsüne girin ve "Simulation time" diyalog penceresinde *Stop time* değerini 10 olarak değiştirin.
4. Blok diyagramı Deney_3_9.mdl adıyla kaydedin.
5. Simülasyonu çalıştırın ve şekil 3-43'de gösterilen sonuçları elde edin.
6. Şekil 3-43'deki sonuçlardan, kararlı durum hatası e_{ss} 'nin zaman arttıkça azaldığı ve son hatanın hemen hemen sıfır olduğu görülmektedir.



Şekil 3-43